

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-114452

(43)Date of publication of application : 21.04.2000

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

(21)Application number : 10-278007

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 30.09.1998

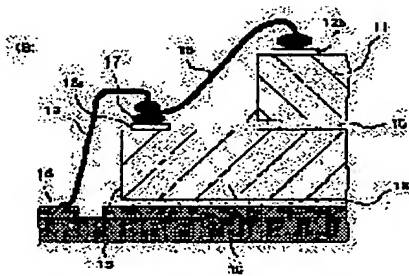
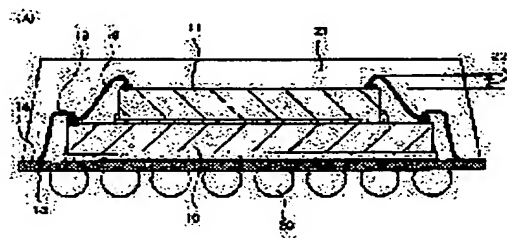
(72)Inventor : TSUBONoya MAKOTO

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To realize a multilayer multichip semiconductor device whose thickness is reduced by reducing the height of wire loops by connecting between electrode pads of a semiconductor chip which is stacked on the upside and inner electrodes through lower electrode pads.

**SOLUTION:** A first semiconductor chip 10 is bonded and a second semiconductor chip 11 is bonded on the first semiconductor chip 10. Ball bumps 17 are formed on a first bonding pad 12a. A second bonding pad 12b and a ball bump 17 are connected through a second bonding wire 18 in such a way that stitch bonding is performed on the ball bump. Further, a ball bump 17 is connected to an inner electrode 14 through a first bonding wire 19. The second bonding pad 12b and the inner electrode 14 are electrically connected through the first bonding pad 12a.



## LEGAL STATUS

[Date of request for examination]

06.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3378809

[Date of registration]

06.12.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-114452

(P2000-114452A)

(43) 公開日 平成12年4月21日 (2000.4.21)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 25/065

25/07

25/18

識別記号

F I

H 0 1 L 25/08

テーマコード<sup>\*</sup> (参考)

Z

審査請求 未請求 請求項の数 4 O L (全 5 頁)

(21) 出願番号 特願平10-278007

(22) 出願日 平成10年9月30日 (1998.9.30)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 坪野谷 誠

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 100076794

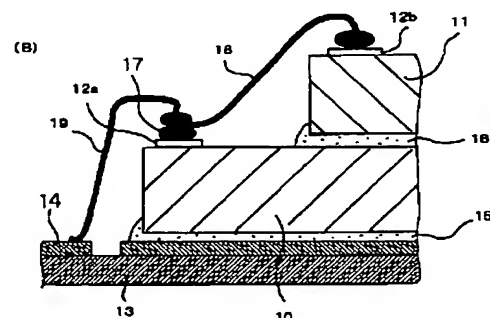
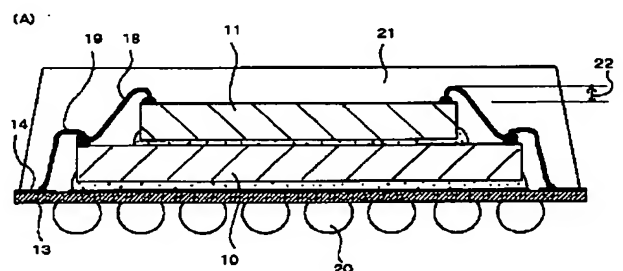
弁理士 安富 耕二 (外1名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 上に重ねた半導体チップの電極パッドを下の電極パッドを介して内部電極と接続することにより、ワイヤのループ高さを抑えて薄形化した、積層型マルチチップ半導体装置を実現する。

【解決手段】 第1の半導体チップ10を固着し、第1の半導体チップ10の上に第2の半導体チップ11を固着する。第1のボンディングパッド12aにボールバンプ17を形成する。ボールバンプにステッチボンドを行うように、第2のボンディングパッド12bとボールバンプ17とを第2のボンディングワイヤ18で接続する。更に、ボールバンプ17と内部電極14とを第1のボンディングワイヤ19で接続する。第2のボンディングパッド12bと内部電極14とが、第1のボンディングパッド12aを介して電気接続される。



(2)

1

## 【特許請求の範囲】

【請求項1】 第1のボンディングパッドを有する第1の半導体チップと、  
第2のボンディングパッドを有し前記第1の半導体チップの上に固着された第2の半導体チップと、  
前記第1と第2のボンディングパッドに電氣的に接続すべき内部電極と、  
前記第1のボンディングパッドの表面に形成したボールバンプと、  
前記第2のボンディングパッドと前記ボールバンプとを接続する第1のワイヤと、  
前記ボールバンプと前記内部電極とを接続する第2のワイヤと、  
前記第1と第2の半導体チップの周囲を被覆する絶縁樹脂と、を具備することを特徴とする半導体装置。

【請求項2】 前記第1のボンディングパッドが電氣的にダミーであり、前記第2のボンディングパッドが前記第1のボンディングパッドを介して前記内部電極に接続されていることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記第1のボンディングパッドと前記第2のボンディングパッドとが共通の機能を有する事を特徴とする請求項1記載の半導体装置。

【請求項4】 前記第1と第2のボンディングワイヤがボールボンディングによって形成されていることを特徴とする請求項1記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、複数の半導体チップを重ね合わせてモールドしつつ、パッケージ外形の薄型化が可能な、半導体装置に関する。

## 【0002】

【従来の技術】半導体装置の封止技術として最も普及しているのが、図3(A)に示したような、半導体チップ1の周囲を熱硬化性のエポキシ樹脂2で封止するトランスファーモールド技術である。半導体チップ1の支持素材としてリードフレームを用いており、リードフレームのアイランド3に半導体チップ1をダイボンドし、半導体チップ1のボンディングパッドとリード4をワイヤ5でワイヤボンドし、所望の外形形状を具備する金型内にリードフレームをセットし、金型内にエポキシ樹脂を注入、これを硬化させることにより製造される。

【0003】一方、各種電子機器に対する小型、軽量化の波はとどまるところを知らず、これらに組み込まれる半導体装置にも、一層の大容量、高機能、高集積化が望まれることになる。

【0004】そこで、以前から発想としては存在していた(例えば、特開昭55-111151号)、1つのパッケージ内に複数の半導体チップを封止する技術が注目され、実現化する動きが出てきた。つまり図3(B)

2

に示すように、アイランド3上に第1の半導体チップ1aを固着し、第1の半導体チップ1aの上に第2の半導体チップ1bを固着し、対応するボンディングパッドとリード4とを第1と第2のボンディングワイヤ5a、5bで接続し、樹脂2で封止したものである。

## 【0005】

【発明が解決しようとする課題】コストアップになるにも関わらず複数のチップを一体化させることは、即ち軽薄短小化の要求が極めて強いからに他ならない。故に外形寸法に余裕のあるDIP型パッケージよりは、表面実装型の、しかも薄型のパッケージに収納したい意向が強く、その方が全体としてのメリットが大きい。

【0006】しかしながら、半導体チップ1には、機械的強度を持たせる必要性から、ある程度の厚み以上には薄くすることができないので、チップを積層した分だけパッケージ外形を大型化する欠点がある。

【0007】また、第2のボンディングワイヤ5bは、第1の半導体チップ1aとの接触を避けることと、第1のボンディングワイヤ5aと交差したときの接触を避けるという意味で、ワイヤループを相当大きく取る必要性が生じる。そのため、ワイヤループの高さ6が大きくなりがちであり、これがパッケージ全体の厚みを厚くして、薄形化を阻害するという欠点があった。

## 【0008】

【課題を解決するための手段】本発明は上述した従来の課題に鑑み成されたもので、第1のボンディングパッドを有する第1の半導体チップと、第2のボンディングパッドを有し前記第1の半導体チップの上に固着された第2の半導体チップと、前記第1と第2のボンディングパッドに電氣的に接続すべき内部電極と、前記第1のボンディングパッドの表面に形成したボールバンプと、前記第2のボンディングパッドと前記ボールバンプとを接続する第1のワイヤと、前記ボールバンプと前記内部電極とを接続する第2のワイヤと、前記第1と第2の半導体チップの周囲を被覆する絶縁樹脂と、を具備することを特徴とするものである。

## 【0009】

【発明の実施の形態】以下に本発明の一実施の形態を図面を参照しながら詳細に説明する。

【0010】まず、図1(A)は本発明の半導体装置を示す断面図、図1(B)は要部拡大断面図である。

【0011】図中、10、11は各々第1と第2の半導体チップを示している。第1と第2の半導体チップ10、11のシリコン表面には、前工程において各種の能動、受動回路素子が形成されている。第1の半導体チップ10の表面には外部接続用の第1のボンディングパッド12aが形成されている。同様に第2の半導体チップ11の表面には第2のボンディングパッド12bが形成されている。各チップ表面には各ボンディングパッド12a、12bを被覆するようにシリコン窒化膜、シリコ

(3)

3

ン酸化膜、ポリイミド系絶縁膜などのパッシベーション皮膜が形成され、ボンディングパッド12a、12bの上部は電気接続のために開口されている。

【0012】絶縁性のフィルム基板13は、これら第1と第2の半導体チップ10、11を支持する基板となる。フィルム基板13の表面には金メッキ層によって導電パターンが描画されている。導電パターンは、各ボンディングパッド12a、12bとパンプ電極20とを各々接続するための内部電極14とを形成する。

【0013】第1の半導体チップ10は、前記アイランド部の上に導電性又は絶縁性の接着剤15により固着されている。第2の半導体チップ11は第1の半導体チップ10の前記パッシベーション皮膜上に絶縁性のエポキシ系接着剤15により固着されている。但し第2の半導体チップ11は第1のボンディングパッド12aを被覆しないチップサイズである。

【0014】第1のボンディングパッド12aの上部には、ボールパンプ17が形成されている。ボールパンプ17は、金ワイヤのボールボンディング手法を利用して、金ボール部分だけを残す形で形成したパンプ電極である。そして、第2のボンディングパッド12bとボールパンプ17とが第2のボンディングワイヤ18によって接続され、ボールパンプ17と内部電極14とが第2のボンディングワイヤ19によって接続されている。

【0015】第2のボンディングワイヤ18は第2の電極パッド12b側をファーストボンドとするボールボンディングにより、第2のボンディングワイヤ19はボールパンプ17側をファーストボンドとするボールボンディングにより、各々形成されている。順番としては、先にボールパンプ17を形成し、次いで第2のボンディングワイヤ18を第2のボンディングパッド12bからボールパンプ17に向けてボンディングし、そして第1のボンディングワイヤ19をボールパンプ17から内部電極14に向けてボンディングする。このボールパンプ17は、第2のボンディングワイヤ18をセカンドボンド（ステッチボンド）する際に、ボンディングツールの先端が第1の半導体チップ10の表面に直接当接する事を防止する緩衝剤となる。

【0016】複数のパンプ電極20が、フィルム基板13の裏面側に形成されている。フィルム基板13には図示せぬ貫通孔が設けられており、この貫通孔を介して内部電極14とパンプ電極20とが接続している。

【0017】エポキシ系の熱硬化樹脂21が、第1と第2の半導体チップ10、11の周囲を被覆する。熱硬化性樹脂21はフィルム基板13の上側を被覆して、パッケージ外形を形成する。

【0018】第1と第2の半導体チップ10、11は、メモリ装置で組み合わせることが簡便である。例えば、第1と第2の半導体チップ10、11としてEEPROM（フラッシュメモリ）等の半導体記憶装置を用いた場

4

合（第1の組み合わせ例）は、1つのパッケージで記憶容量を2倍、3倍・・・にすることができる。また、第1の半導体チップ10にEEPROM（フラッシュメモリ）等の半導体記憶装置を、第2の半導体チップ11にはSRAM等の半導体記憶装置を形成するような場合（第2の組み合わせ例）も考えられる。

【0019】どちらの組み合わせの場合でも、各チップにはデータの入出力を行うI/O端子と、データのアドレスを指定するアドレス端子、及びデータの入出力を許可するチップイネーブル端子とを具備しており、両チップのピン配列が酷似している。そのため、第1と第2の半導体チップ10、11のI/O端子やアドレス端子用の内部電極14を共用することが可能であり、各チップに排他的なチップイネーブル信号を印加することにより、どちらか一方の半導体チップのメモリセルを排他的に選択することが可能である。また、斯かる構成によって、第1と第2のボンディングパッド12a、12bを電氣的に接続することが可能となる。

【0020】尚、第1と第2のボンディングパッド12a、12bを電氣的に接続できない回路構成である場合は、第1のボンディングパッド12aを電氣的に独立させて回路的な機能を持たないダミーのパッドとし、該ダミーパッド上にボールパンプ17を形成して、図1のように2本のワイヤで接続する。

【0021】図2は、ボールパンプ17の製造方法を簡単に説明するための断面図である。

【0022】図2（A）参照：キャピラリ30の中心孔31に直径が20～30μ程度の金ワイヤ32を挿通し、そのワイヤ32の先端にあらかじめスパークなどの手段によって直径が60～80μの金ボール33を形成しておく。これを第1のボンディングパッド12a上方に移動し、キャピラリ30を下降させることにより、金ボール33を電極パッド12a表面に当接し、一定の圧力を加える。同時にキャピラリ12を通して超音波振動を与え且つ加熱して、金ボール33と第1のボンディングパッド12aとを固着する。

【0023】図2（B）参照：キャピラリ30を垂直に上昇させ、再度垂直に下降させる。キャピラリ30の先端と金ボール33の上端（平坦部）との距離34が10～30μmとなるような位置でキャピラリ30を停止する。金ボール33の付け根付近はキャピラリ30内部に収納されず、露出した状態となる。

【0024】図2（C）参照：上記の距離34を維持した上で、金ワイヤ32の直径の3分の2を超える距離だけキャピラリ30を水平移動する。例えば、キャピラリ12先端部の穴の直径が40μであるときは25μ～35μだけ移動する。金ワイヤ32はキャピラリ30の先端部で途中まで剪断され、糸を引くように細い部分35でかろうじて連続している状態となる。

【0025】本工程で剪断を与えるために、距離34は

50

(4)

5

重要な意味を持つ。この距離34が大きすぎると金ワイヤ32が塑性変形するだけで細い部分35を作れなくなるし、距離34が小さすぎると、接合した金ボール17を剥がすことになる。キャピラリ30の先端が、図2(D)に示したように、金ボール33の付け根近傍で、塑性変形の影響を受けずに金ワイヤ32が本来の直径Φ1を維持した部分の直ぐ上部に位置するようにコントロールする。

【0026】図2(E)参照：再びキャピラリ30を垂直上昇させた状態を示している。金ワイヤ32と金ボール33とが細い部分35だけで連続している状態を示した。

【0027】図2(F)参照：今まで解放していた図示せぬクランプを閉じて金ワイヤ32を挟持し、上方に引き上げることで細い部分35を完全に切断する。この様な工程により第1のボンディングパッド12a上部にボールバンプ17が形成される。

【0028】以上に説明した本発明の半導体装置は、第2のボンディングパッド12bを第1のボンディングパッド12aに接続することによって、両者の距離が近いので、第2のボンディングワイヤ18のループ長さを短くすることが可能である。従って、ループ高さ22(図1)を低く抑えることができる。これは、第1の半導体チップ10と第2の半導体チップ11とのチップサイズの差が大きい場合に特に有効になる。そして、第2のボンディングワイヤ18と第1の半導体チップ10との接触事故を回避することができ、更には、第1と第2の

6

ボンディングワイヤ18、19が交差しないので、電氣的短絡をも回避することができる。

【0029】

【発明の効果】以上に説明した通り、本発明によれば、1つのパッケージ内に複数の半導体チップ10、11を積層する事により、電子機器の軽薄短小化の要求に沿った高密度実装の製品を提供できる利点を有する。

【0030】また、第1のボンディングワイヤ18と内部電極14とを、第1のボンディングパッド12aを介して接続するので、第2のボンディングワイヤ18の長さを短くできる利点を有する。これにより、ループ高さ22を低く抑えることができるので、パッケージの厚みを薄形化できる利点を有する。

【0031】そして、第2のボンディングパッド12bから内部電極14に直接ワイヤボンドしないので、第1と第2のボンディングワイヤ18、19の交差が無くなり、電氣的短絡という事故を防ぐ他、第2のボンディングワイヤ18と第1の半導体チップ10との接触をも防止することができる。

【0032】更に内部電極14へのステッチボンドが1本で済むので、ボンディングエリアを小さくすることができ、半導体装置の小型化を図ることができる。

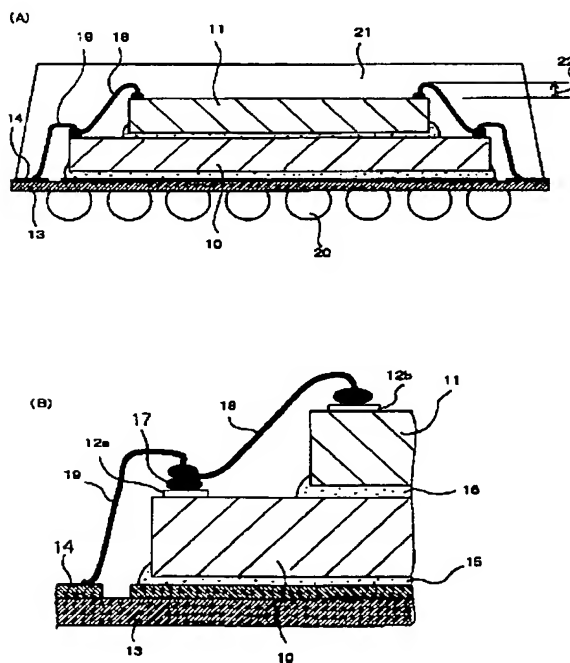
【図面の簡単な説明】

【図1】本発明を説明するための断面図である。

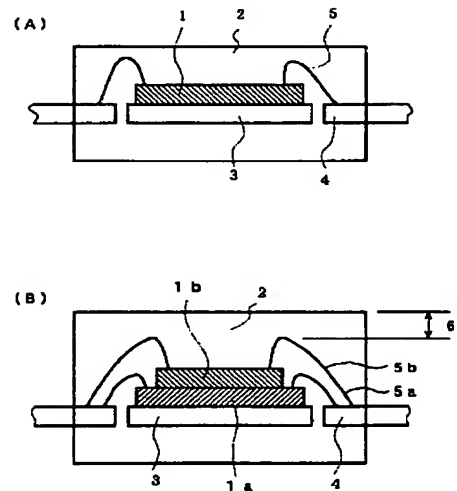
【図2】本発明を説明するための断面図である。

【図3】従来例を説明するための断面図である。

【図1】

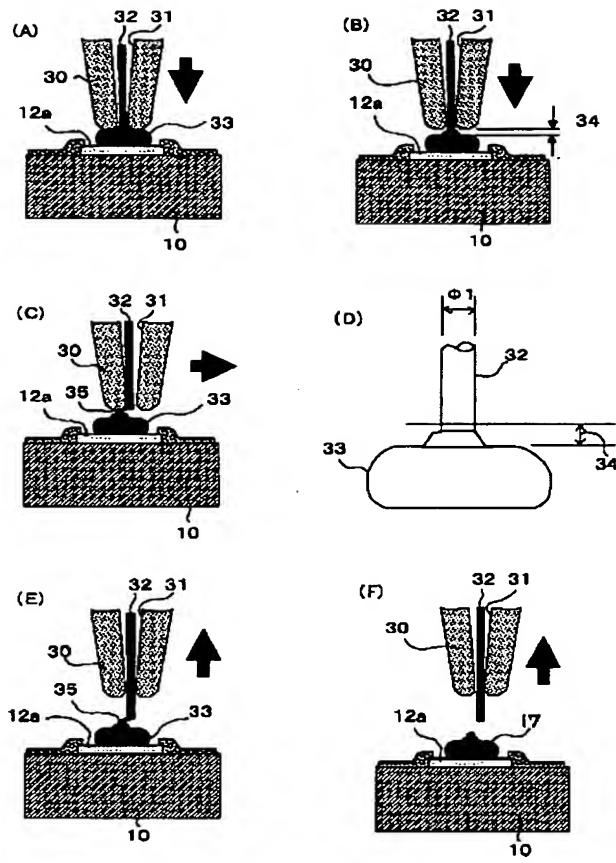


【図3】



(5)

【図 2】



\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The 1st semiconductor chip which has the 1st bonding pad, and the 2nd semiconductor chip which has the 2nd bonding pad and fixed on said 1st semiconductor chip, The internal electrode which should be electrically connected to said the 1st and 2nd bonding pad, The 1st wire which connects the ball bump who formed in the front face of said 1st bonding pad, and said the 2nd bonding pad and said ball bump, The semiconductor device characterized by providing the 2nd wire which connects said ball bump and said internal electrode, and said 1st [ the ] and the insulating resin which covers the perimeter of the 2nd semiconductor chip.

[Claim 2] The semiconductor device according to claim 1 which said 1st bonding pad is a dummy electrically, and is characterized by connecting said 2nd bonding pad to said internal electrode through said 1st bonding pad.

[Claim 3] The semiconductor device according to claim 1 with which said the 1st bonding pad and said 2nd bonding pad are characterized by having a common function.

[Claim 4] The semiconductor device according to claim 1 characterized by forming said the 1st and 2nd bonding wire of ball bonding.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIPi are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device in which thin-shape-izing of a package appearance is possible, piling up and carrying out the mold of two or more semiconductor chips.

[0002]

[Description of the Prior Art] The transfer mold technique which closes the perimeter of the semiconductor chip 1 as shown in drawing 3 (A) with the thermosetting epoxy resin 2 has spread most as a closure technique of a semiconductor device. The leadframe is used as a support material of a semiconductor chip 1, die bond of the semiconductor chip 1 is carried out to the island 3 of a leadframe, wire bond of the lead 4 is carried out to the bonding pad of a semiconductor chip 1 with a wire 5, a leadframe is set in the metal mold possessing a desired appearance configuration, an epoxy resin is poured in into metal mold, and it is manufactured by stiffening this.

[0003] On the other hand, the semiconductor device built into not knowing and these in the place in which small [ to various electronic equipment ] and the wave of lightweight-izing remain will also be expected much more large capacity, high efficiency, and high integration.

[0004] Then, in one package which existed as the way of thinking (for example, JP,55-1111517,A), the technique which closes two or more semiconductor chips attracted attention, and the implementation-ized motion came out from before. That is, as shown in drawing 3 (B), 1st semiconductor chip 1a is fixed on an island 3, the bonding pad and lead 4 which fix 2nd semiconductor chip 1b and correspond on 1st semiconductor chip 1a are connected with the 1st by the 2nd bonding wire 5a and 5b, and it closes by resin 2.

[0005]

[Problem(s) to be Solved by the Invention] It is exactly because the demand of making two or more chips unify in spite of becoming a cost rise, i.e., small-and-light-izing, is very strong. Therefore, the intention to contain in the thin package of a surface mount mold moreover is strong, and it of the merit as the whole is larger than the DIP mold package which has allowances in a dimension.

[0006] However, since it cannot be made thinner than a certain amount of thickness from the need of giving a mechanical strength to a semiconductor chip 1, only the part which carried out the laminating of the chip has the fault which enlarges a package appearance.

[0007] Moreover, 2nd bonding wire 5b means that the contact when intersecting avoiding contact to 1st semiconductor chip 1a and 1st bonding wire 5a is avoided, and the need of taking a fairly large wire loop formation produces it. Therefore, the height 6 of a wire loop formation tended to become large, this thickened thickness of the whole package and there was a fault of checking thin form-ization.

[0008]

[Means for Solving the Problem] The 1st semiconductor chip which accomplished this invention in view of the conventional technical problem mentioned above, and has the 1st bonding pad, The 2nd semiconductor chip which has the 2nd bonding pad and fixed on said 1st semiconductor chip, The internal electrode which should be electrically connected to said the 1st and 2nd bonding pad, The 1st wire which connects the ball bump who formed in the front face of said 1st bonding pad, and said the 2nd bonding pad and said ball bump, It is characterized by providing the 2nd wire which connects said ball bump and said internal electrode, and said 1st [ the ] and the insulating resin which covers the perimeter of the 2nd semiconductor chip.

[0009]

[Embodiment of the Invention] The gestalt of the 1 operation of this invention to the following is explained to a



detail, referring to a drawing.

[0010] First, the sectional view in which drawing 1 (A) shows the semiconductor device of this invention, and drawing 1 (B) are important section expanded sectional views.

[0011] 10 and 11 show the 1st and the 2nd semiconductor chip respectively among drawing. In the last process, various kinds of activity and a passive circuit element are formed in the silicon front face of the 1st and the 2nd semiconductor chip 10 and 11. 1st bonding pad 12a for external connection is formed in the front face of the 1st semiconductor chip 10. 2nd bonding pad 12b is similarly formed in the front face of the 2nd semiconductor chip 11. Passivation coats, such as a silicon nitride, silicon oxide, and a polyimide system insulator layer, are formed in each chip front face so that each bonding pads 12a and 12b may be covered, and opening of the upper part of bonding pads 12a and 12b is carried out for electrical connection.

[0012] The insulating film substrate 13 turns into these [ 1st ] and a substrate which supports the 2nd semiconductor chip 10 and 11. The electric conduction pattern is drawn by the gold plate layer in the front face of the film substrate 13. An electric conduction pattern forms the internal electrode 14 for connecting respectively each bonding pads 12a and 12b and the bump electrode 20.

[0013] The 1st semiconductor chip 10 has fixed with the conductive or insulating adhesives 15 on said island section. The 2nd semiconductor chip 11 has fixed with the epoxy insulating system adhesives 15 on said passivation coat of the 1st semiconductor chip 10. However, the 2nd semiconductor chip 11 is a chip size which does not cover 1st bonding pad 12a.

[0014] The ball bump 17 is formed in the upper part of 1st bonding pad 12a. The ball bump 17 is the bump electrode formed in the form where it leaves only a golden ball part, using the ball bonding technique of a golden wire. And 2nd bonding pad 12b and the ball bump 17 are connected by the 2nd bonding wire 18, and the ball bump 17 and the internal electrode 14 are connected by the 2nd bonding wire 19.

[0015] Of the ball bonding to which the 2nd bonding wire 18 uses the 2nd electrode pad 12b side as first bond, the 2nd bonding wire 19 is respectively formed by the ball bonding which uses the ball bump 17 side as first bond. As sequence, the ball bump 17 is formed previously, and, subsequently to the ball bump 17, bonding of the 2nd bonding wire 18 is turned and carried out from the 2nd bonding pad 12b, and bonding of the 1st bonding wire 19 is turned and carried out to an internal electrode 14 from the ball bump 17. In case this ball bump 17 does second bond (stitch bonding) of the 2nd bonding wire 18, she becomes the buffer which prevents that the tip of a bonding tool contacts the front face of the 1st semiconductor chip 10 directly.

[0016] Two or more bump electrodes 20 are formed in the rear-face side of the film substrate 13. The through tube which is not illustrated is prepared in the film substrate 13, and the internal electrode 14 and the bump electrode 20 have connected through this through tube.

[0017] The heat-curing resin 21 of an epoxy system covers the perimeter of the 1st and the 2nd semiconductor chip 10 and 11. Thermosetting resin 21 covers the film substrate 13 bottom, and forms a package appearance.

[0018] As for the 1st and the 2nd semiconductor chip 10 and 11, combining by the memory apparatus is simple. For example, when semiconductor memories, such as EEPROM (flash memory), are used as the 1st and the 2nd semiconductor chip 10 and 11 (1st example of combination), storage capacity can be made into ... 3 times twice with one package. Moreover, the 1st semiconductor chip 10 considers semiconductor memories, such as EEPROM (flash memory), also when forming semiconductor memories, such as SRAM, in the 2nd semiconductor chip 11 (2nd example of combination).

[0019] For each chip, the I/O terminal which outputs and inputs data, and the address terminal which specifies the address of data and the chip enable terminal which permits I/O of data are provided, and, in [ both of ] the case of combination, the pin out of both chips resembles closely. Therefore, it is possible to share the internal electrode 14 the I/O terminal of the 1st and the 2nd semiconductor chip 10 and 11 and for address terminals, and it is possible by impressing an exclusive chip enable signal to each chip to choose the memory cell of one of semiconductor chips exclusively. Moreover, this configuration enables it to connect electrically the 2nd bonding pad 12a and 12b with the 1st.

[0020] In addition, when it is circuitry which cannot connect electrically the 2nd bonding pad 12a and 12b with the 1st, it considers as the pad of the dummy which 1st bonding pad 12a is made to become independent electrically, and does not have a circuit-function, the ball bump 17 is formed on this dummy pad, and it connects with two wires like drawing 1 .

[0021] Drawing 2 is a sectional view for explaining the ball bump's 17 manufacture approach briefly.

[0022] Refer to drawing 2 (A).: Insert in the feed hole 31 of a capillary 30 the golden wire 32 whose diameter is about 20-30micro, and form beforehand the golden ball 33 whose diameters are 60-80micro with means, such as a spark, at the tip of the wire 32. By moving this to the 1st bonding pad 12a upper part, and dropping a capillary 30, an electrode pad 12a front face is contacted in the golden ball 33, and a fixed pressure is applied. Supersonic vibration is given and heated through a capillary 12 to coincidence, and the golden ball 33 and 1st bonding pad 12a are fixed.

[0023] Refer to drawing 2 (B).: Raise a capillary 30 perpendicularly and drop it again perpendicularly. A capillary 30 is stopped in a location where the distance 34 of the tip of a capillary 30 and the upper limit (flat part) of the golden ball 33 becomes 10-30 micrometers. Near the root of the golden ball 33 is not contained by the capillary 30 interior, but will be in the condition of having exposed.

[0024] Refer to drawing 2 (C).: After maintaining the above-mentioned distance 34, only the distance exceeding 2/3 of the diameter of the golden wire 32 carries out horizontal migration of the capillary 30. For example, when the diameter of the hole of capillary 12 point is 40micro, it moves only 25micro-35micro. The golden wire 32 is sheared to the middle by the point of a capillary 30, and will be in the condition of continuing barely in the thin part 35 so that yarn may be lengthened.

[0025] In order to give a shear at this process, distance 34 has important semantics. When this distance 34 is too large, it becomes impossible to make the thin part 35 only from the golden wire 32 deforming plastically, and when distance 34 is too small, the joined golden ball 17 will be removed. the part into which the golden wire 32 maintained the original diameter  $\phi 1$ , without influencing the tip of a capillary 30 of plastic deformation near the root of the golden ball 33 as shown in drawing 2 (D) -- it controls to be immediately located in the upper part.

[0026] Refer to drawing 2 (E).: The condition of having made the capillary 30 staging on a perpendicular again is shown. The condition that the golden wire 32 and the golden ball 33 were continuing only in the thin part 35 was shown.

[0027] Refer to drawing 2 (F).: Close the clamper which had been released until now and which is not illustrated, pinch the golden wire 32, and cut the thin part 35 completely by pulling up up. The ball bump 17 is formed in the 1st bonding pad 12a upper part of such a process.

[0028] Since the semiconductor device of this invention explained above has both near distance by connecting 2nd bonding pad 12b to 1st bonding pad 12a, it can shorten the loop-formation die length of the 2nd bonding wire 18. Therefore, 22 ( drawing 1 ) can be low pressed down in loop-formation height. This becomes effective especially, when the difference of the chip size of the 1st semiconductor chip 10 and the 2nd semiconductor chip 11 is large. And since the minor collision of the 2nd bonding wire 18 and the 1st semiconductor chip 10 can be avoided and the 1st and the 2nd bonding wire 18 and 19 do not cross further, an electric short circuit is also avoidable.

[0029]

[Effect of the Invention] According to this invention, it has the advantage which can offer the product of high density assembly in alignment with the demand of small-and-light-izing of electronic equipment by carrying out the laminating of two or more semiconductor chips 10 and 11 into one package as explained above.

[0030] Moreover, since the 1st bonding wire 18 and internal electrode 14 are connected through 1st bonding pad 12a, it has the advantage which can shorten the die length of the 2nd bonding wire 18. Thereby, since 22 can be low stopped in loop-formation height, it has the advantage which can carry out [ a thin form ]-izing of the thickness of a package.

[0031] And since direct wire bond is not carried out to an internal electrode 14 from the 2nd bonding pad 12b, the crossover of the 1st and the 2nd bonding wire 18 and 19 is lost, the accident of an electric short circuit is prevented, and also contact to the 2nd bonding wire 18 and the 1st semiconductor chip 10 can be prevented.

[0032] Furthermore, since stitch bonding to an internal electrode 14 can be managed with one, bonding area can be made small and the miniaturization of a semiconductor device can be attained.

---

[Translation done.]

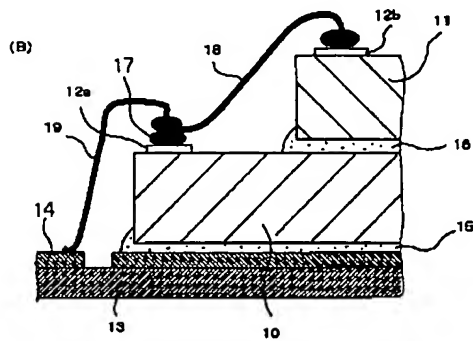
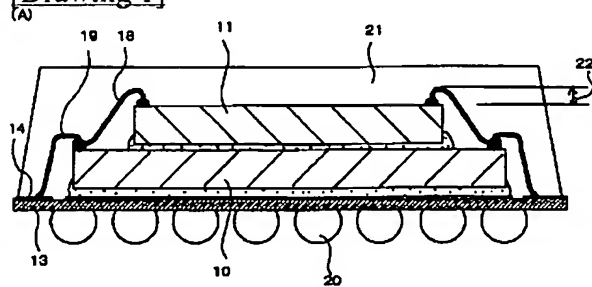
## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

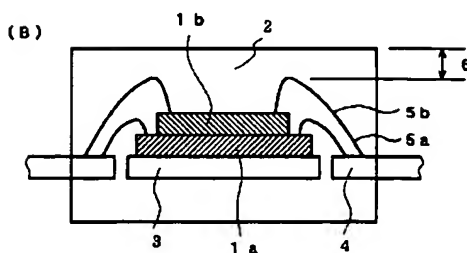
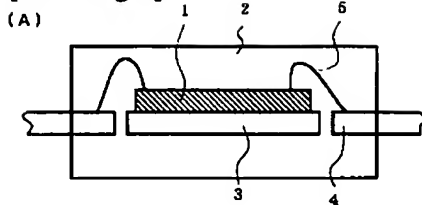
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

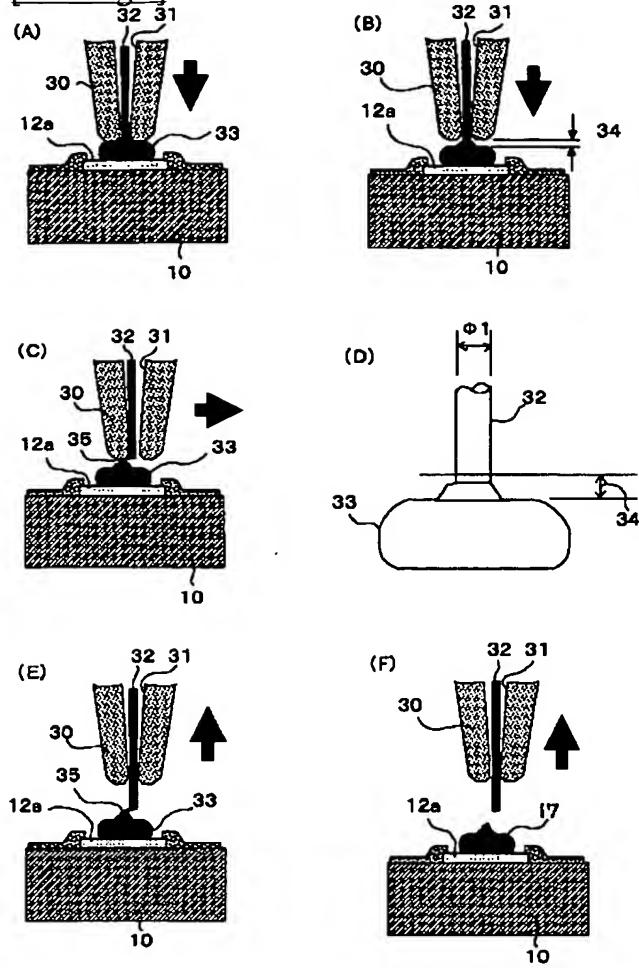
[Drawing 1]



[Drawing 3]



[Drawing 2]



[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record.**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**